

Citation 3

(Translation of Relevant parts and Abstract)

Japanese Patent Application Laying Open (KOKAI) No. 63-254530

laid open to the public October 21, 1988

Japanese Patent Application No. 62-88233

filed April 10, 1987

Priority(ies) claimed: None

Applicant(s): NEC Corporation, Tokyo, Japan

Inventor(s): Eiji TANITSU, Japanese citizen

Title of Invention: INFORMATION PROCESSOR

Detailed Description of the Invention:

The object of the present invention is to provide an information processing unit adapted to be able to execute processes and to avoid idling an information processing resource by saving and managing a usage status of arithmetic function blocks, saving an instruction from each process, and if an execution of an instruction from a process is suspended, selecting an executable instruction from another process and starting an execution of the instruction, and removing the fault with making the arithmetic result to be stored.
[Means for Solving the Problems]

The information processing unit according to the present invention includes a group of registers, a status register, selecting means, and saving means.

A group of registers is for executing a plurality of processes, and status registers are for saving usage statuses of arithmetic function blocks.

Selecting means are for selecting an executable instruction among processes of information within status registers.

Saving means is for saving and taking around identifying information of a process including the selected instruction and identifying information of a register used.

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 63-254530
(43) Date of publication of application : 21.10.1988

(51) Int.CI. G06F 9/38
G06F 9/38

(21) Application number : 62-088233 (71) Applicant : NEC CORP
(22) Date of filing : 10.04.1987 (72) Inventor : TANITSU EIJI

(54) INFORMATION PROCESSOR

(57) Abstract:

PURPOSE: To improve the throughput of a digital information processing system by starting the execution of an information processor after selecting the executable instructions in plural processes so that an instruction executing function is utilized with high efficiency.

CONSTITUTION: An instruction of the k-th process (k) is supplied to a k-th instruction register 10-k and the execution of this instruction is started. In this case, the preceding instruction of the process (k) tries to rewrite the register contents to be used by an internal instruction of the register 10-k. Under such conditions, said register contents are detected by the flip-flop groups 30-1W30-n and 4. While a decoder 5 selects the executable instruction words stored in decoders 20-1W20-n based on the contents of an instruction register 10-m and sends them to the next stage.

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-254530

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)10月21日

G 06 F 9/38

3 1 0
3 5 0F-7361-5B
A-7361-5B

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 情報処理装置

⑯ 特 願 昭62-88233

⑰ 出 願 昭62(1987)4月10日

⑱ 発 明 者 谷 津 英 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 井ノ口 壽

明 細 書

1. 発明の名称

情報処理装置

2. 特許請求の範囲

複数のプロセスを実行するためのレジスタ群と、複数の演算機能ブロックの使用状態を保持するための状態レジスタと、前記状態レジスタの内部の情報から複数のプロセスのなかの実行可能な命令を選択するための選択手段と、前記選択された命令の属するプロセスの識別情報および使用するレジスタの識別情報を保持してもちまわるための保持手段とを具備して構成したことを特徴とする情報処理装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は電子計算機など、各種デジタル情報処理装置内で使用される中央処理装置に関する。

(従来の技術)

従来、中央処理装置では、その命令処理能力を向上するために種々の工夫がされており、その典型的な例としてパイプライン制御方式が公知である。パイプライン制御方式では、例えば命令実行の手順を n 個のフェーズに分割し、各フェーズの実行時間を τ としたとき、最初の命令の結末は $n \times \tau$ 時間の後に得られるが、 τ 時間ごとに命令の実行を開始すれば、結末として τ 時間ごとに実行結果が得られる。

(発明が解決しようとする問題点)

上述した従来のパイプライン処理方式においては、先行する命令の処理が完了する前に後続命令の処理が開始される。このとき、後続する命令で使用される演算レジスタ、または記憶領域が先行する命令により、現在、書換えられているか、あるいは書換えられようとしているケース、および後続する命令で使用される演算機能ブロックが使用中であるケース等には、以後の命令処理は先行する命令の処理完了まで中断される。

その間、先行命令によつて使用されていない情報処理資源としての演算機能ブロック、および命令処理ステージは遊休してしまうと云う欠点がある。

本発明の目的は、複数のプロセスを実行できるようにして、複数の演算機能ブロックの使用状態を保持、管理して、各プロセスからの命令を保持し、プロセスの命令の実行が中断状態となつた場合には実行可能な他のプロセスの命令を選択して実行を開始させ、演算結果を格納できるようにして上記欠点を除去し、情報処理資源の遊休することがないように構成した情報処理装置を提供することにある。

(問題点を解決するための手段)

本発明による情報処理装置はレジスタ群と、状態レジスタと、選択手段と、保持手段とを具備して構成したものである。

レジスタ群は複数のプロセスを実行するためのものであり、状態レジスタは複数の演算機能ブロックの使用状態を保持するためのものであ

る。11-1, 11-2, ..., 11-n はそれぞれステージ、12-1, 12-2, ..., 12-n はそれぞれレジスタ、15-1, 15-2, ..., 15-n はそれぞれ演算機能ブロック、16-1, 16-2, ..., 16-n はそれぞれレジスタである。

第1図において、レジスタ群10-1, 10-2, ..., 10-n はそれぞれ複数のプロセスに対応するレジスタ群および命令レジスタであり、30-1, 30-2, ..., 30-n はそれぞれ各レジスタ群内のレジスタの利用状態を示すフリップフロップ群である。フリップフロップ群30-1, 30-2, ..., 30-n は、命令の実行開始時には命令デコード20-1, 20-2, ..., 20-n により変換えられるレジスタに対応する位置が"1"にセットされ、命令の終了時に"0"にリセットされる。

フリップフロップ群4はn個の演算機能ブロックに対応したフリップフロップ群であり、命令の開始時に使用される機能ブロックの位置を

る。

選択手段は、状態レジスタの内部の情報から複数のプロセスのなかの実行可能な命令を選択するためのものである。

保持手段は、選択された命令の属するプロセスの識別情報、および使用するレジスタの識別情報を保持してもちまわるためのものである。

(実施例)

次に、本発明について図面を参照して説明する。

第1図は、本発明による情報処理装置の一実施例を示すブロック図である。第1図において、10-1, 10-2, ..., 10-n はそれぞれ命令レジスタ、20-1, 20-2, ..., 20-n はそれぞれ第1の形式の命令デコード、30-1, 30-2, ..., 30-n はそれぞれフリップフロップ群、4はフリップフロップ群、5は第2の形式のデコード、60-1, 60-2, ..., 60-n はそれぞれレジスタ群、7はセクタ、8は第3の形式のデコード、90はセクタ、

第1の形式のデコード20-1, 20-2, ..., 20-n により"1"にセットされ、命令の終了時に"0"にリセットされる。

第2の形式のデコード5の出力はセクタ90の選択信号であり、フリップフロップ群30-1, 30-2, ..., 30-n、および第1の形式のデコード20-1, 20-2, ..., 20-n の情報から実行開始可能なプロセスの命令路を求め、命令レジスタ10-1, 10-2, ..., 10-n の内容のなかから選択する。第2の形式のデコード5はフリップフロップ群30-1, 30-2, ..., 30-n、およびフリップフロップ群4のセットタイミング信号を作成するとともに、命令路のプロセスの識別情報を作成する。

レジスタ12-1, 12-2, ..., 12-n は各命令実行ステージのなかの命令路のプロセス識別情報を保持するレジスタであり、レジスタ16-1, 16-2, ..., 16-n はレジスタ12-1, 12-2, ..., 12-n および命令路の情報から得られる演算結果の格納先、およびフ

特開昭63-254530(3)

リツフフロツプ30-1, 30-2……30-n, 4のリセット位置情報を保持している。

いま、第kのプロセスkの命令が第kの命令レジスタ10-kに入り、実行を開始しようとしたが、このプロセスの先行する命令が命令レジスタ10-kの内部の命令が使用したいレジスタ内容を奪換えようとしていたり、あるいは他の命令が命令レジスタ10-kの内部の命令が使用したい演算機能を使用しているなどの状態が、フリツフフロツプ群30-1, 30-2……30-n, 4により検出されると、第2の形式のデコーダ6は第1の形式のデコーダ20-1, 20-2……20-nに格納された情報から実行可能な命令語を命令レジスタ10-mの内容により選択し、次ステージへ送出する。

このとき、命令レジスタ10-mが使用するレジスタおよび演算機能ブロック15-mに対応するレジスタ群30-m, 4の対応位置を“1”にセットする。この命令の実行終了時、レジスタ16-1によりレジスタ群30-m, 4

の対応位置を“0”にリセットする。

以上のように複数プロセスの内部の命令語から実行可能な命令を選択できるので、各命令の実行機能の未使用時間が少なくなる。

(発明の効果)

以上説明したように本発明は、複数プロセスの内部の実行可能な命令を選択して実行を起動することにより、命令実行機能を効率よく利用できるので、デジタル情報処理システムのスループットが向上できると云う効果がある。

4図面の簡単な説明

第1図は、本発明による情報処理装置の一実施例を示すブロック図である。

10-1, 10-2……10-n…命令レジスタ
20-1, 20-2……20-n, 5, 8…デコーダ
30-1, 30-2……30-n, 4, 60-1, 60-2……60-n…フリツフフロツプ群
7, 90…セレクト
11-1, 11-2……11-n…ステージ

12-1, 12-2……12-n, 16-1, 16-2……16-n…レジスタ
15-1, 15-2……15-n…演算機能ブロック

特許出願人 日本電気株式会社

代理人 弁理士 井ノ口 海

